

#3

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-089364  
(43)Date of publication of application : 23.04.1987

(51)Int.Cl.

H01L 29/78

(21)Application number : 60-230184  
(22)Date of filing : 16.10.1985

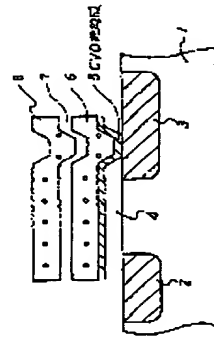
(71)Applicant : SEIKO INSTR & ELECTRONICS LTD  
(72)Inventor : KAMIYA MASAOKI  
IMURA YUKIHIRO  
TAKAHASHI KATSUYUKI

## (54) NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

## (57)Abstract:

**PURPOSE:** To enable a floating-gate-type EEPROM to perform a larger number of writing or deleting operations, by utilizing a CVD insulation film as a tunnel oxide film for exchanging charges with a floating gate electrode.

**CONSTITUTION:** A P-type semiconductor substrate 1 has an N+ type source region 2 and a drain region on the surface thereof, and a gate oxide film 4 is provided over there. A 100 $\mu$ m thick CVD insulation film 5 is formed on a small region near the drain, and a floating gate electrode 6, a second gate oxide film 7 and a control gate electrode 8 are provided thereon. The CVD insulation film 5 is produced from dichlorosilane (SiH<sub>2</sub>Cl<sub>2</sub>) and nitrous oxide (N<sub>2</sub>O) under a reduced pressure at a temperature of 700 $\sim$ 900 $^{\circ}$  C. The CVD insulation film 5 is hardly broken down dielectrically since it has a higher breakdown current density than a thermal oxide film 15 in its region having as a small thickness as 100 $\mu$ m. Therefore, it allows to substantially increase the number of writing or deleting operations that the storage device can perform.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

①△X

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭62-89364

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)4月23日

H 01 L 29/78

7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑮ 特 願 昭60-230184

⑯ 出 願 昭60(1985)10月16日

⑰ 発 明 者 神 谷 昌 明 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内  
⑱ 発 明 者 井 村 行 宏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内  
⑲ 発 明 者 高 橋 克 幸 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内  
⑳ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社  
㉑ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 一導電型の半導体基板の所定の領域に反対導電型のソース領域とドレイン領域と、前記両領域間の基板表面上のゲート絶縁膜と前記ゲート絶縁膜上の浮遊ゲート電極と前記浮遊ゲート電極とトンネル絶縁膜を介して形成された前記浮遊ゲート電極と電荷をやりとりする電極とさらに前記浮遊ゲート電極上に絶縁膜を介して設けられた制御ゲート電極とからなる不揮発性半導体記憶装置において前記トンネル絶縁膜が、CVD絶縁膜からなることを特徴とする不揮発性半導体記憶装置。

(2) 前記CVD絶縁膜が、形成温度700℃以上のCVDシリコン酸化膜からなることを特徴とする特許請求の範囲第1項記載の不揮発性半導体記憶装置。

(3) 浮遊ゲート電極と前記電荷をやりとりする電極を前記ドレイン領域が兼ねていることを特徴とする特許請求の範囲第1項または第2項記載の不揮発性半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電気的に書き込み・消去を容易に行えるフローティングゲート型不揮発性半導体記憶装置(以下、フローティングゲート型EEPROMと呼ぶことにする。)に関する。

(発明の概要)

この発明はフローティングゲート型EEPROMの浮遊ゲート電極と電荷をやりとりするトンネル酸化膜をCVD絶縁膜を使用することによって、従来の熱酸化膜に比べ、多数回の書き込み・消去を可能としたものである。

(従来の技術)

従来のフローティングゲート型EEPROMの断面を第2図に示す。フローティングゲート型E

EEPROMの書き込み・消去は、薄い酸化膜(100~150Å)を介してPowler-Nordheimトンネル電流で行われている。従来、前記書き込み・消去用の薄い酸化膜は、熱酸化膜によって形成されていた。

(発明が解決しようとする問題点)

しかしながら、従来の書き込み・消去用の熱酸化膜15は、書き込み・消去回数が $10^4$ 回程度になると絶縁破壊を生ずるという欠点を有していた。

(問題点を解決するための手段)

上記問題点を解決するために、この発明は書き込み消去用絶縁膜を熱酸化膜を用いずに、CVD絶縁膜を用いる。従来CVD絶縁膜は密度が低く、リーク電流が多い等熱酸化膜に比べ、特性が劣るといわれていたが、700℃以上の高温で作成した高温CVD酸化膜は熱酸化膜より特性が優れていることがわかった。すなわち、CVD絶縁膜は100Åと薄い領域において熱酸化膜に比べ破壊電流密度が大きく、絶縁破壊しにくいので書き込み・消去回数を大幅に増大させることができる。

温度として700~900℃の減圧下で生成した膜である。このCVD絶縁膜5は、100Åと薄い領域において熱酸化膜15に比べ、破壊電流密度が大きく、絶縁破壊しにくいので書き込み・消去回数を大幅に増大させることができる。

なお、本実施例ではCVD絶縁膜5はCVD酸化膜を用いたが、CVD酸化膜に限ることはない。

第4図に本発明の第1の実施例のCVD絶縁膜を用いたフローティングゲート型EEPROMと従来の熱酸化膜を用いたEEPROMの書き換え特性を示す。第4図は、横軸に書き込み・消去回数、縦軸にしきい値( $V_{th}$ )をとったものである。この図より、熱酸化膜15を用いたEEPROMは、 $10^4$ 回程度の書き込み・消去回数で絶縁破壊するのに対し、CVD絶縁膜5を用いたEEPROMは、 $10^4$ 回程度まで破壊せず、しきい値変化も小さく信頼性の高いEEPROMであることが、わかる。

その理由を以下に記す。CVD絶縁膜5と熱酸化膜15の破壊電流密度を第5図に示す。第5図

は横軸に酸化膜厚、縦軸に破壊電流密度をとったものである。この図より、CVD絶縁膜5は、熱酸化膜15に比べ、大きな破壊電流密度を示すことがわかる。したがってCVD絶縁膜5は、熱酸化膜15に比べ、書き込み・消去回数を大幅に増大させることができる。

(作用)

上記のようにフローティングゲート型EEPROMの書き込み・消去用絶縁膜をCVD絶縁膜を用いれば、書き込み・消去回数を $10^4$ 回程度と従来に比べ100倍以上と大幅に増大させる事ができた。

(実施例)

以下、本発明を実施例を用いて説明する。第1図は本発明の第1の実施例を示すフローティングゲート型EEPROMの断面図である。

P型の半導体基板1の表面にN<sup>+</sup>導電型のソース領域2とドレイン領域3、その上にゲート酸化膜4があり、ドレイン近傍の小領域上に100ÅのCVD絶縁膜5、その上に浮遊ゲート電極6と第2ゲート酸化膜7と制御ゲート電極8がある。

前記CVD絶縁膜5はジクロロシラン( $\text{SiH}_2\text{Cl}_2$ )と亜酸化チタン( $\text{Ti}_2\text{O}_3$ )を用い、生成

は横軸に酸化膜厚、縦軸に破壊電流密度をとったものである。この図より、CVD絶縁膜5は、熱酸化膜15に比べ、大きな破壊電流密度を示すことがわかる。したがってCVD絶縁膜5は、熱酸化膜15に比べ、書き込み・消去回数を大幅に増大させることができる。

第3図は本発明の第2の実施例を示すフローティングゲート型EEPROMの断面図である。

P型の半導体基板21の表面にN<sup>+</sup>導電型のソース領域22とドレイン領域23、その上にゲート酸化膜24と浮遊ゲート電極26、さらに前記浮遊ゲート電極26の左上に第2ゲート酸化膜27と制御ゲート電極28があり、前記浮遊ゲート電極26の右上には、100ÅのCVD絶縁膜と前記浮遊ゲート電極26と電荷をやりとりする電極29がある。

本実施例においてCVD絶縁膜25の下にある浮遊ゲート電極26が多結晶シリコンで形成されている場合もある。このような場合でもCVD絶縁膜25を用いたEEPROMは、第1の実施例

と同様に熱酸化膜を用いたEEPROMに比べ、書き込み・消去回数を大幅に増大させる事ができる。

(発明の効果)

この発明は以上の説明で明らかなようにフローティングゲート型EEPROMのトンネル酸化膜をCVD絶縁膜5を使用することによって、従来の熱酸化膜15に比べ、書き込み・消去回数を100倍程度増大させることができる効果を有する。したがって、本発明は信頼性の高いフローティングゲート型EEPROMを提供できる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例のフローティングゲート型EEPROMの断面図、第2図は従来のフローティングゲート型EEPROMの断面図、第3図は本発明の第2の実施例のフローティングゲート型EEPROMの断面図、第4図は本発明のCVD絶縁膜を用いたEEPROMと従来の熱酸化膜を用いたEEPROMの書き換え特性を示

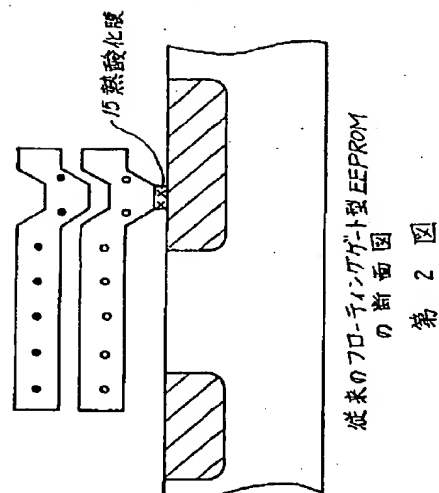
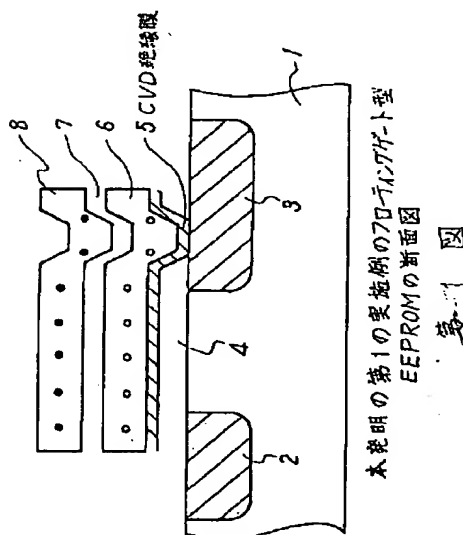
す図、第5図はCVD絶縁膜及び熱酸化膜の破壊電流密度を示す図である。

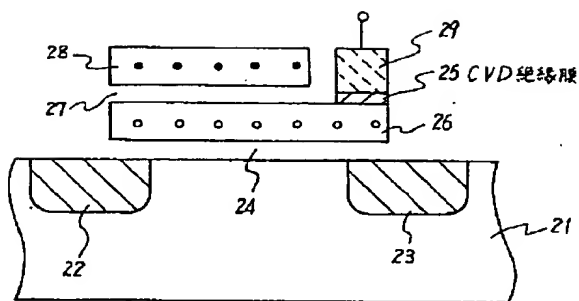
- 1, 21.....P型シリコン基板
- 2, 22.....ソース領域
- 3, 23.....ドレイン領域
- 4, 24.....ゲート酸化膜
- 5, 25.....CVD絶縁膜
- 6, 26.....浮遊ゲート電極
- 7, 27.....第2のゲート酸化膜
- 8, 28.....制御ゲート電極
- 15.....熱酸化膜
- 29.....浮遊ゲート電極と電荷をやりとりする電極

以 上

出願人 セイコー電子工業株式会社

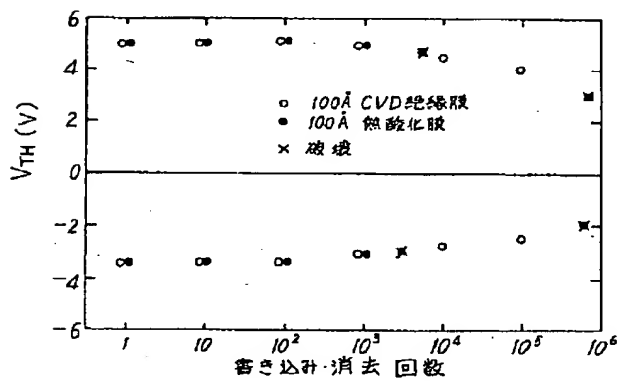
代理人 弁理士 最 上 務(他1名)





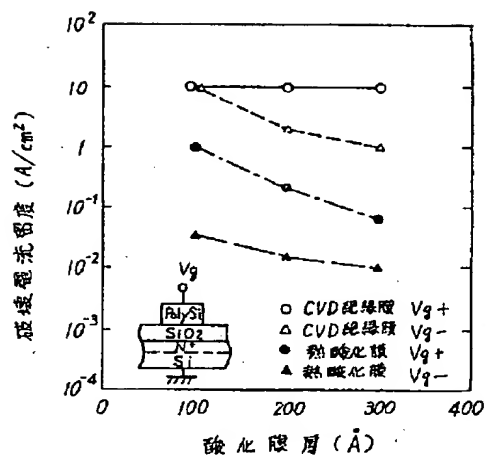
本発明の第2の実施例のフローティングゲート型  
EEPROMの断面図

第3図



本発明のCVD絶縁膜を用いたEEPROMと  
従来の熱酸化膜を用いたEEPROMの書き換え特性図

第4図



CVD絶縁膜及び熱酸化膜の  
破壊電流密度を示す図

第5図